

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: **Fukashi HARADA, et al.**

Serial No.: **August 28, 2003**

Filed: **Not Yet Assigned**

For. **MANUFACTURING METHOD OF SEMICONDUCTOR DEVICE**

CLAIM FOR PRIORITY UNDER 35 U.S.C. 119

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Date: August 28, 2003

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

Japanese Appln. No. 2002-253265, filed August 30, 2002

In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicants have complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 01-2340.

Respectfully submitted,

ARMSTRONG, WESTERMAN & HATTORI, LLP



Donald W. Hanson
Reg. No. 27,133

DWH/l1

Atty. Docket No. 031071
Suite 1000
1725 K Street, N.W.
Washington, D.C. 20006
(202) 659-2930



23850

PATENT TRADEMARK OFFICE

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日
Date of Application:

2002年 8月30日

出願番号
Application Number:

特願2002-253265

[ST.10/C]:

[JP2002-253265]

出願人
Applicant(s):

富士通株式会社

2002年12月13日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎

出証番号 出証特2002-3098468

【書類名】 特許願

【整理番号】 0240271

【提出日】 平成14年 8月30日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/00

【発明の名称】 半導体装置の製造方法

【請求項の数】 8

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通
株式会社内

【氏名】 原田 深志

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通
株式会社内

【氏名】 若林 利広

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100090273

【弁理士】

【氏名又は名称】 國分 孝悦

【電話番号】 03-3590-8901

【手数料の表示】

【予納台帳番号】 035493

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9908504

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法

【特許請求の範囲】

【請求項1】 半導体基板にベース、エミッタ及びコレクタを有してバイポーラトランジスタが構成されて成る半導体装置の製造方法であって、

前記半導体基板上に多層膜を形成し、前記ベース及び前記エミッタ上で開口する開口部を前記多層膜に形成する工程と、

Si及びその他の半導体元素を含有し、上層部位及び下層部位にSiの含有率が高く、中間層部位に前記他の半導体元素の含有率が高い構造を有する複合半導体膜を全面に形成する工程と、

前記開口部の所定の高さまで前記複合半導体膜を異方性ドライエッチングする工程とを含むことを特徴とする半導体装置の製造方法。

【請求項2】 前記複合半導体膜を、高真空状態で異方性ドライエッチングすることを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項3】 高真空状態で異方性ドライエッティングされた後の前記複合半導体膜を、更に低真空状態で準異方性ドライエッティングする工程を含むことを特徴とする請求項2に記載の半導体装置の製造方法。

【請求項4】 前記高真空状態における気圧は、66.5(Pa)以下であることを特徴とする請求項2に記載の半導体装置の製造方法。

【請求項5】 前記低真空状態における気圧は、133(Pa)以上であることを特徴とする請求項3に記載の半導体装置の製造方法。

【請求項6】 前記高真空状態における気圧は、約 3.3×10^{-1} (Pa)であることを特徴とする請求項2に記載の半導体装置の製造方法。

【請求項7】 前記低真空状態における気圧は、約 4.0×10^2 (Pa)であることを特徴とする請求項3に記載の半導体装置の製造方法。

【請求項8】 前記複合半導体膜は、SiGe膜又はSiGeC膜であることを特徴とする請求項1～7の何れか1項に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体基板にベース、エミッタ及びコレクタを有してバイポーラトランジスタが構成されて成る半導体装置の製造方法に関するものである。

【0002】

【従来の技術】

近年、バイポーラトランジスタとCMOSトランジスタの双方の特徴を活かしたBi-CMOSトランジスタの開発が急速に行なわれている。このBi-CMOSトランジスタの一要求事項として、デバイスの処理速度の高速化が挙げられる。

【0003】

上記要求を満たすため、例えばBi-CMOSトランジスタの一部であるNPN型バイポーラトランジスタにおいては、P⁺拡散領域を狭く形成し、N⁺拡散領域間の距離を短くすることによってデバイスの動作周波数を向上させる手法が知られている。しかしながら、P⁺拡散領域を狭く形成したことによって、デバイス内の抵抗が高くなり、消費電力を増加させてしまう。

【0004】

このような問題点に対しては、P⁺拡散領域に添加する不純物の濃度を高くすることによって低抵抗化を図ることができるが、不純物の濃度を高くしたことによりリーク電流等の弊害が生じ得る。そのため、従来から半導体膜をP⁺拡散領域上に形成し、半導体膜とエミッタ電極及びベース電極とを夫々電気的に接続することによって、リーク電流の発生や不純物の拡散等を防止していた。

【0005】

ここで、Bi-CMOSトランジスタの製造方法の従来例について説明する。シリコン半導体基板上に多層膜を形成し、ベースとして機能するP⁺拡散領域及びエミッタとして機能するN⁺拡散領域上において当該多層膜に開口部を形成する。続いて、半導体膜を全面に成膜した後、当該開口部内をレジストでマスクし、半導体膜を等方性プラズマエッチングすることによって、当該開口部内のみに半導体膜を形成していた。そして、当該開口部の側壁部で半導体膜とベース電極、当該開口部の底部で半導体膜とエミッタ電極とが夫々電気的に接続される。

【0006】

【発明が解決しようとする課題】

しかしながら、ここで利用される半導体膜は少なくとも2種の半導体元素で構成され、図8に示すように、その上層部位及び下層部位でSiの含有率が高く、中間層部位でその他の半導体元素の含有率が高い。そして、上記夫々の半導体元素は、等方性プラズマエッティングに対するエッティングレートが異なり、複合半導体膜の上層部位及び下層部位を主に構成するSiと比較して、中間層部位を主に構成する半導体元素の方が一般にエッティングレートは高いため、等方性プラズマエッティング処理後の半導体膜はその中間層部位に空隙が生じた所謂“ス”の状態となる。従って、ベース電極とP⁺拡散領域とベース電極との電気的な接続に支障を来し、当初期待されていたトランジスタ特性を満たすことは勿論不可能となる。

【0007】

本発明は、上記問題点に鑑みてなされたものであり、エッティング工程後の複合半導体膜に空隙を生じさせず、所期の目的に沿った特性の半導体装置を製造することが可能な半導体装置の製造方法を提供することを目的とする。

【0008】

【課題を解決するための手段】

本発明者は、銳意検討の結果、以下に示す発明の諸態様に想到した。

本発明は、半導体基板にベース、エミッタ及びコレクタを有してバイポーラトランジスタが構成されて成る半導体装置を対象とする。

本発明の半導体装置の製造方法は、前記半導体基板上に多層膜を形成し、前記ベース及び前記エミッタ上で開口する開口部を前記多層膜に形成する工程と、上層部位及び下層部位にSiの含有率が高く、中間層部位に他の半導体元素の含有率が高い構造を有する複合半導体膜を全面に形成する工程と、前記開口部の所定の高さまで前記複合半導体膜を異方性ドライエッティングする工程とを含むことを特徴とする。

【0009】

また、本発明の半導体装置の製造方法は、前記複合半導体膜を異方性ドライエ

ッチングする際には、高真空状態で行うことを特徴とする。さらに、本発明の半導体装置の製造方法は、高真空状態で異方性ドライエッチングされた後の前記複合半導体膜を、更に低真空状態で準異方性ドライエッチングする工程を含むことも特徴とする。

【0010】

【発明の実施の形態】

－本発明の基本骨子－

本発明は、上記従来例で例示したようにエッチング処理後の複合半導体膜が“ス”の状態とならないように、複合半導体膜のエッチング工程において等方性プラズマエッチング工程を全く採用せず、異方性ドライエッチング工程のみを利用して複合半導体膜に対するエッチングを行うようにした。これにより、本発明は、複合半導体膜に対するエッチング工程においてSi及びその他の半導体元素間のエッチングレートを略一定にすることができ、エッチング工程後の複合半導体膜に空隙を生じさせず、所期の目的に沿った特性の半導体装置を製造することを可能とする。

【0011】

－NPN型バイポーラトランジスタの製造方法－

以下、本発明を適用した好適な実施形態について、添付図面を参照しながら詳細に説明する。

図1～図4は、本発明の一実施形態に係る半導体装置の製造方法を工程順に示す概略断面図である。以下では、本発明の半導体装置の製造方法をNPN型バイポーラトランジスタの製造方法に適用した場合について説明する。

【0012】

このNPN型バイポーラトランジスタを製造するには、先ず図1(a)に示すように、p型のシリコン半導体基板1の表層にn型不純物、例えばリンをイオン注入し、 n^+ 拡散領域2を形成する。この n^+ 拡散領域2がコレクタとして機能することになる。

【0013】

続いて、いわゆるLOCOS法によりシリコン半導体基板1の素子分離領域に

フィールド酸化膜3を形成し、活性領域を画定する。次に、フォトレジストを塗布・加工した後、例えばホウ素等のp型不純物をイオン注入し、活性領域の表層のみにP⁺拡散領域4を形成する。このP⁺拡散領域4がベースとして機能することになる。

【0014】

続いて、図1（b）に示すように、熱酸化膜法により全面にシリコン酸化膜5を形成する。次に、CVD法により多結晶シリコン膜6、シリコン酸化膜7を順次形成する。

【0015】

続いて、図1（c）に示すように、フォトリソグラフィー及びそれに続くドライエッティングにより、n⁺拡散領域2の表面の一部を露出させる開口部8をパターニングする。このとき、多結晶シリコン膜6は後の工程で形成されるベース電極の引き出し層とされる。

【0016】

続いて、図2（a）に示すように、減圧式の非選択エピタキシャル成長法により、開口部8の内壁を覆うようにシリコン酸化膜7の全面にSiGe/SiGeC膜9を成長させる。

【0017】

続いて、図2（b）に示すように、マスク材となるフォトレジスト10を塗布する。

【0018】

続いて、図2（c）に示すように、フォトレジスト10の全面を異方性エッチングし、開口部8の約半分の高さまでフォトレジスト10を残す。

【0019】

続いて、図3（a）に示すように、フォトレジスト10をマスクとしてSiGe/SiGeC膜9を以下の条件で異方性ドライエッティングし、SiGe/SiGeC膜9をフォトレジスト10に倣った深さまで残す。

【0020】

本実施形態では、図3（a）に示す製造工程において、ECR（電子サイクロ

トロン共鳴) エッティング装置を用いて異方性ドライエッティングする。このエッティング処理時の諸条件は、 Cl_2 と O_2 の流量比を約50 (sccm) : 5 (sccm) 、 ECRエッティング装置内部を気圧約 3.3×10^{-1} (Pa) (2.5 mTorr) の高真空状態とし、マイクロ波を約1.0 (kw) で発生させ、高周波 (RF) を約30Wで電極に印加し、電極温度を約0°Cとした。この条件下における SiGe/SiGeC 膜9の異方性ドライエッティング処理時のエッティングレートは、Siを1とすると、Geは1.2程度となる。

【0021】

ちなみに、図3 (a) に示す製造工程において、従来のように SiGe/SiGeC 膜9を等方性プラズマエッティングすることによって、或いは異方性ドライエッティングにてハーフエッティングした後、等方性プラズマエッティングすることによって、開口部8内のみに SiGe/SiGeC 膜9を形成した場合、この等方性プラズマエッティング処理時におけるSi、GeのエッティングレートはSiを1とすると、Geは3~7にまで及ぶ。よって、 SiGe/SiGeC 膜9に対して等方性プラズマエッティングが施されると、その上層部位及び下層部位と比較して中間層部位のエッティング速度が速いため、開口部8の側壁部に形成された SiGe/SiGeC 膜9の中間層部位は抜け、エッティング後の SiGe/SiGeC 膜9は所謂“ス”の状態となる。

【0022】

従って、ベース電極と P^+ 拡散領域とベース電極との電気的な接続に支障を來し、当初期待されていたトランジスタ特性を満たすことは勿論不可能となる。図5は、SEM (走査型電子顕微鏡) によって撮影された、等方性プラズマエッティングを用いて製造されたNPN型バイポーラトランジスタの断面の表面状態を示す顕微鏡写真である。図5の円内に示すように、 SiGe/SiGeC 膜9が“ス”の状態となっていることが分かる。

【0023】

一方で、本実施形態におけるGeのエッティングレートは、Siの1.2倍程度となるが、これはエッティング処理後において SiGe/SiGeC 膜9を“ス”的な状態とするレベルになく、 SiGe/SiGeC 膜9を略理想的に形成するこ

とができる。従って、本実施形態によれば、 P^+ 拡散領域に不純物を高濃度に添加したことに伴うリーク電流の発生等の弊害を回避しつつ、デバイスの高速化及び消費電力の低下等、所期の目的に沿ったNPN型バイポーラトランジスタを製造することができる。

【0024】

本実施形態では、上記のように、ECRエッティング装置内部を気圧約 3.3×10^{-1} (Pa) (2.5 (mTorr)) の高真空状態として、異方性ドライエッティングすることにより、SiとGe間のエッティングレートを略一定にして上記の本実施形態独自の作用効果を奏している。しかしながら、この作用効果は特に上記の気圧数値においてのみ実現されるものでなく、66.5 (Pa) (500 (mTorr)) 以下であれば同様にSiとGe間のエッティングレートは略一定となり、エッティング処理後においてSiGe/SiGeC膜9が“S”の状態となることを回避することが可能となる。

【0025】

続いて、図3 (b) に示すように、フォトレジスト10を灰化処理等により除去する。ここで形成されたSiGe/SiGeC膜9は、後の工程により、その側壁部で多結晶シリコン膜6を介してベース電極と、その底部でエミッタ電極と電気的に接続される。

【0026】

続いて、図3 (c) に示すように、CVD法により全面にシリコン酸化膜を堆積し、その全面を異方性ドライエッティング（エッチバック）することにより、SiGe/SiGeC膜9の底部の中央部位を露出させ、残りの底部上から側壁部及びシリコン酸化膜7上を覆うサイドウォール11を形成する。

【0027】

続いて、図4に示すように、CVD法により全面にn型多結晶シリコン膜又はアモルファスシリコン膜を堆積し、これをフォトリソグラフィー及びそれに続くドライエッティングにより加工して、低部位でSiGe/SiGeC膜9と接続されるエミッタ電極12を形成する。このとき、n型多結晶シリコン膜又はアモルファスシリコン膜を堆積する際の熱の作用及びその後の熱処理により、その中に

含有されたn型不純物の一部がSiGe/SiGeC膜9の底部の表層に拡散し、浅いn⁺拡散領域13が形成される。このn⁺拡散領域13がエミッタとして機能することになる。

【0028】

以上のように、本実施形態では、高真空状態で異方性ドライエッチングすることにより、SiGe/SiGeC膜9が“ス”の状態となることを回避することができる。しかしながら、異方性ドライエッチング後にSiGe/SiGeC膜9が“ス”の状態となることから回避されても、異方性ドライエッチングでは横方向のエッティングが行なわれず、Siの含有率が高いSiGe/SiGeC膜9の下層部分が開口部8の側壁に残存することがある。図6は、SEM（走査型電子顕微鏡）によって撮影された、異方性ドライエッティング処理後のNPN型バイポーラトランジスタの断面の表面状態を示す顕微鏡写真であり、図6の円内に示すように、開口部8の側壁に角状のSiGe/SiGeC膜9の残存が確認できる。以下、この開口部8の側壁に残存するSiGe/SiGeC膜9の下層部分を“Si残り”と称す。

【0029】

本実施形態では、上記のように開口部8の側壁に“Si残り”が残った場合、この“Si残り”を除去するためのエッティング工程を追加する。具体的には、図3(a)を用いて説明した異方性ドライエッティング工程後に、水平方向にもエッティング作用を有する準異方性ドライエッティングを行い、“Si残り”を除去する。以下に、この準異方性ドライエッティングに係る諸条件を示す。

【0030】

本実施形態では、平行平板型RIE装置を用いて上記の準異方性ドライエッティングを行うものとする。この準異方性ドライエッティング処理時の諸条件は、O₂とC₂F₆の流量比を約12(SLM) : 60(ccm)、平行平板型RIE装置内部の気圧約4.0×10⁻²(Pa)(30(Torr))の低真空状態とし、高周波を約700(w)で電極に印加した。この条件下における水平方向のエッティングレート、即ち“Si残り”に対するエッティングレートは60(Å/min)となり、“Si残り”的膜厚に応じた時間、この準異方性ドライエッティングを行

うことにより“Si残り”を除去することが可能となる。図7は、SEM（走査型電子顕微鏡）によって撮影された、準異方性ドライエッチング処理後のNPN型バイポーラトランジスタの断面の表面状態を示す顕微鏡写真であり、図7の円内に示すように、図6の円内に示されるような“Si残り”が除去されていることが確認できる。

【0031】

例えば、“Si残り”が開口部8の側壁の高い位置まで残存し、そのままエミッタ電極を開口部に形成すると、エミッタ電極12と“Si残り”が接し、SiGe/SiGeC膜9とエミッタ電極12が短絡する懼れがある。本実施形態によれば、このようなトランジスタ機能に不具合を来す懼れのある“Si残り”を完全に除去することができ、所期の一目的である信頼性の高いNPN型バイポーラトランジスタを製造することが可能となる。

【0032】

また本実施形態では、上記のように、平行平板型RIE装置内部を気圧約 4.0×10^2 (Pa)(30(Torr))の低真空状態として、準異方性ドライエッチングすることにより“Si残り”を除去することを可能としている。しかしながら、“Si残り”的除去は特に上記の気圧数値においてのみ実現されるものではなく、 133 (Pa)(1(Torr))以上であれば同様に“Si残り”を除去し得る準異方性ドライエッチングを行うことが可能となる。

【0033】

以下、本発明の諸態様を付記としてまとめて記載する。

（付記1）半導体基板にベース、エミッタ及びコレクタを有してバイポーラトランジスタが構成されて成る半導体装置の製造方法であって、

前記半導体基板上に多層膜を形成し、前記ベース及び前記エミッタ上で開口する開口部を前記多層膜に形成する工程と、

Si及びその他の半導体元素を含有し、上層部位及び下層部位にSiの含有率が高く、中間層部位に前記他の半導体元素の含有率が高い構造を有する複合半導体膜を全面に形成する工程と、

前記開口部の所定の高さまで前記複合半導体膜を異方性ドライエッチングする

工程とを含むことを特徴とする半導体装置の製造方法。

【0034】

(付記2) 前記複合半導体膜を、高真空状態で異方性ドライエッチングすることを特徴とする付記1に記載の半導体装置の製造方法。

【0035】

(付記3) 高真空状態で異方性ドライエッチングされた後の前記複合半導体膜を、更に低真空状態で準異方性ドライエッチングする工程を含むことを特徴とする付記2に記載の半導体装置の製造方法。

【0036】

(付記4) 前記高真空状態における気圧は、66.5(Pa)以下であることを特徴とする付記2に記載の半導体装置の製造方法。

【0037】

(付記5) 前記低真空状態における気圧は、133(Pa)以上であることを特徴とする付記3に記載の半導体装置の製造方法。

【0038】

(付記6) 前記高真空状態における気圧は、約 3.3×10^{-1} (Pa)であることを特徴とする付記2に記載の半導体装置の製造方法。

【0039】

(付記7) 前記低真空状態における気圧は、約 40×10^2 (Pa)であることを特徴とする付記3に記載の半導体装置の製造方法。

【0040】

(付記8) 前記複合半導体膜は、SiGe膜又はSiGeC膜であることを特徴とする付記1～7の何れか1項に記載の半導体装置の製造方法。

【0041】

(付記9) 半導体基板上に薄膜を形成し、前記薄膜の一部に開口部を形成する工程と、

第1の半導体元素及び第2の半導体元素を含有し、上層部位及び下層部位に前記第1の半導体元素の含有率が高く、中間層部位に前記第2の半導体元素の含有率が高い構造を有する複合半導体膜を全面に形成する工程と、

前記開口部の所定の高さまで前記複合半導体膜を異方性ドライエッチングする工程とを含むことを特徴とする半導体装置の製造方法。

【0042】

(付記10) 前記複合半導体膜を、高真空状態で異方性ドライエッチングすること特徴とする付記9に記載の半導体装置の製造方法。

【0043】

(付記11) 前記高真空状態で異方性ドライエッチングされた後の前記複合半導体膜を、更に低真空状態で準異方性ドライエッチングする工程を含むことを特徴とする付記10に記載の半導体装置の製造方法。

【0044】

(付記12) 前記第1の半導体元素はSiであり、前記第2の半導体元素はその他の半導体元素であることを特徴とする付記9に記載の半導体装置の製造方法。

【0045】

(付記13) 前記高真空状態における気圧は、66.5(Pa)以下であることを特徴とする付記10に記載の半導体装置の製造方法。

【0046】

(付記14) 前記低真空状態における気圧は、133(Pa)以上であることを特徴とする付記11に記載の半導体装置の製造方法。

【0047】

(付記15) 前記高真空状態における気圧は、約 3.3×10^{-1} (Pa)であることを特徴とする付記10に記載の半導体装置の製造方法。

【0048】

(付記16) 前記低真空状態における気圧は、約 40×10^2 (Pa)であることを特徴とする付記11に記載の半導体装置の製造方法。

【0049】

(付記17) 前記複合半導体膜は、SiGe膜又はSiGeC膜であることを特徴とする付記9～16の何れか1項に記載の半導体装置の製造方法。

【0050】

【発明の効果】

本発明によれば、異方性ドライエッチング工程のみを利用して複合半導体膜に対するエッチングを行うようにしたので、複合半導体膜に対するエッチング工程においてSi及びその他の半導体元素間のエッチングレートを略一定にすることができる、エッチング工程後の複合半導体膜に空隙を生じさせず、所期の目的に沿った特性の半導体装置を製造することを可能とする。

【図面の簡単な説明】**【図1】**

本発明の一実施形態であるNPN型バイポーラトランジスタの製造方法を工程順に示す概略断面図である。

【図2】

図1に引き続き、本発明の一実施形態であるNPN型バイポーラトランジスタの製造方法を工程順に示す概略断面図である。

【図3】

図2に引き続き、本発明の一実施形態であるNPN型バイポーラトランジスタの製造方法を工程順に示す概略断面図である。

【図4】

図3に引き続き、本発明の一実施形態であるNPN型バイポーラトランジスタの製造方法を工程順に示す概略断面図である。

【図5】

SEM（走査型電子顕微鏡）によって撮影された、他の半導体装置の製造方法を適用して製造されたNPN型バイポーラトランジスタの断面の表面状態を示す顕微鏡写真である。

【図6】

SEM（走査型電子顕微鏡）によって撮影された、異方性ドライエッチング処理後のNPN型バイポーラトランジスタの断面の表面状態を示す顕微鏡写真である。

【図7】

SEM（走査型電子顕微鏡）によって撮影された、準異方性ドライエッチング

処理後のNPN型バイポーラトランジスタの断面の表面状態を示す顕微鏡写真である。

【図8】

一般に使用される半導体膜の深さと元素の含有率との関係を示すグラフである

【符号の説明】

1：シリコン半導体基板

2, 13 : n⁺拡散領域

3 : フィールド酸化膜

4 : P⁺拡散領域

5 : シリコン酸化膜

6 : 多結晶シリコン膜

7 : シリコン酸化膜

8 : 開口部

9 : SiGe/SiGeC膜

10 : フォトレジスト

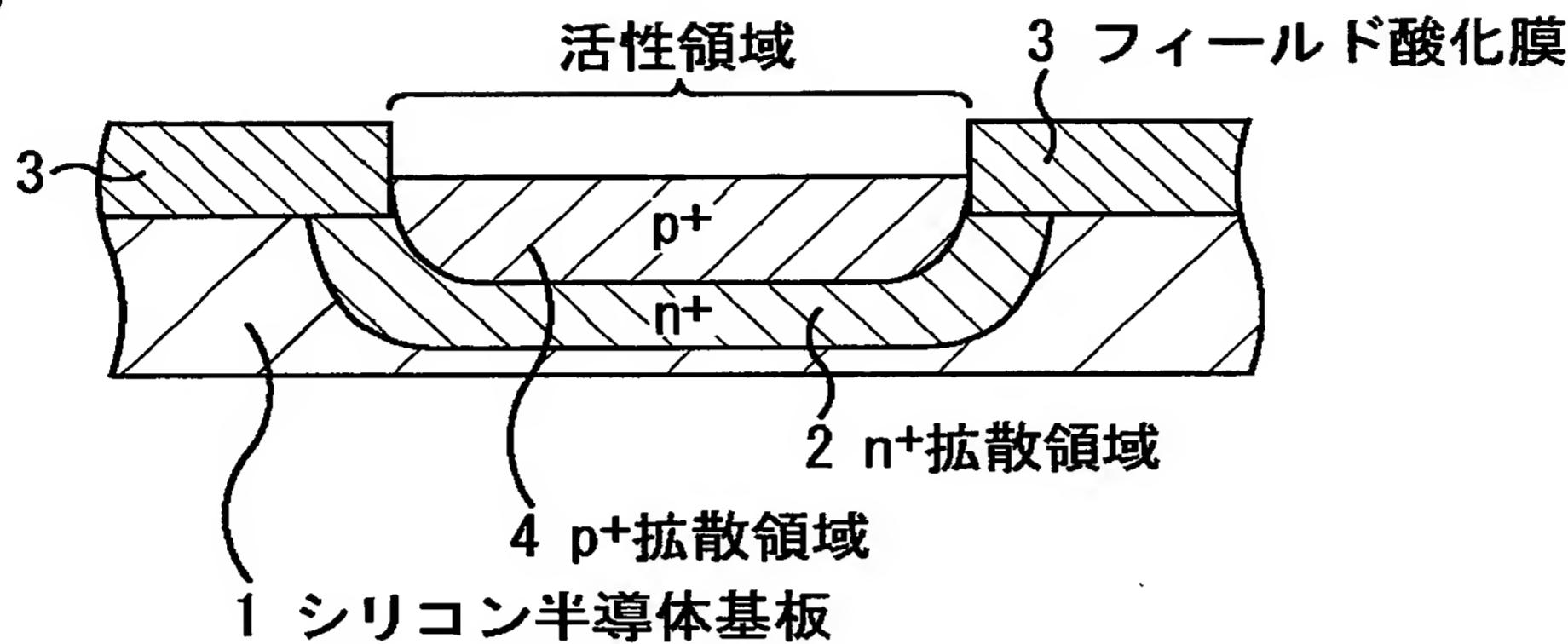
11 : サイドウォール

12 : エミッタ電極

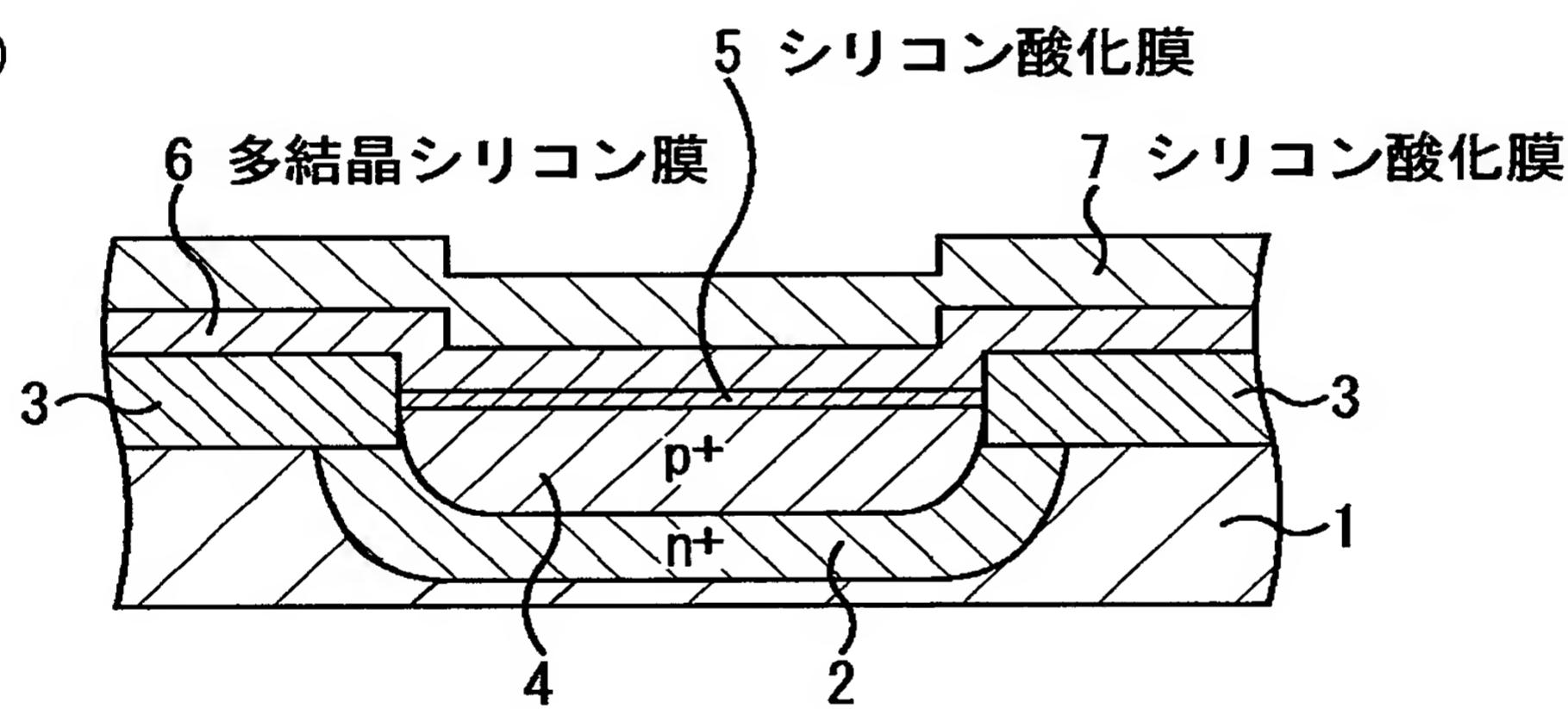
【書類名】 図面

【図1】

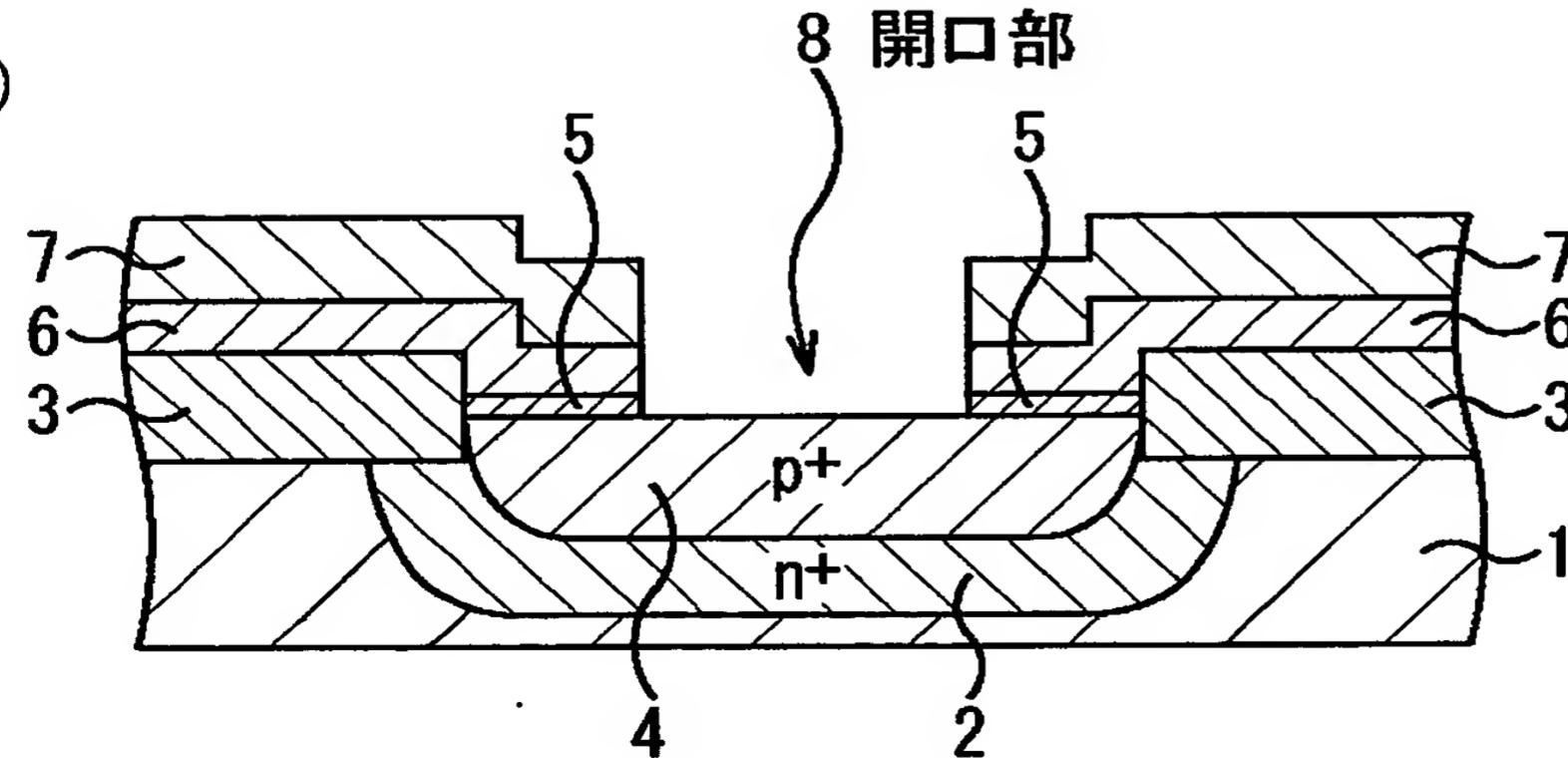
(a)



(b)

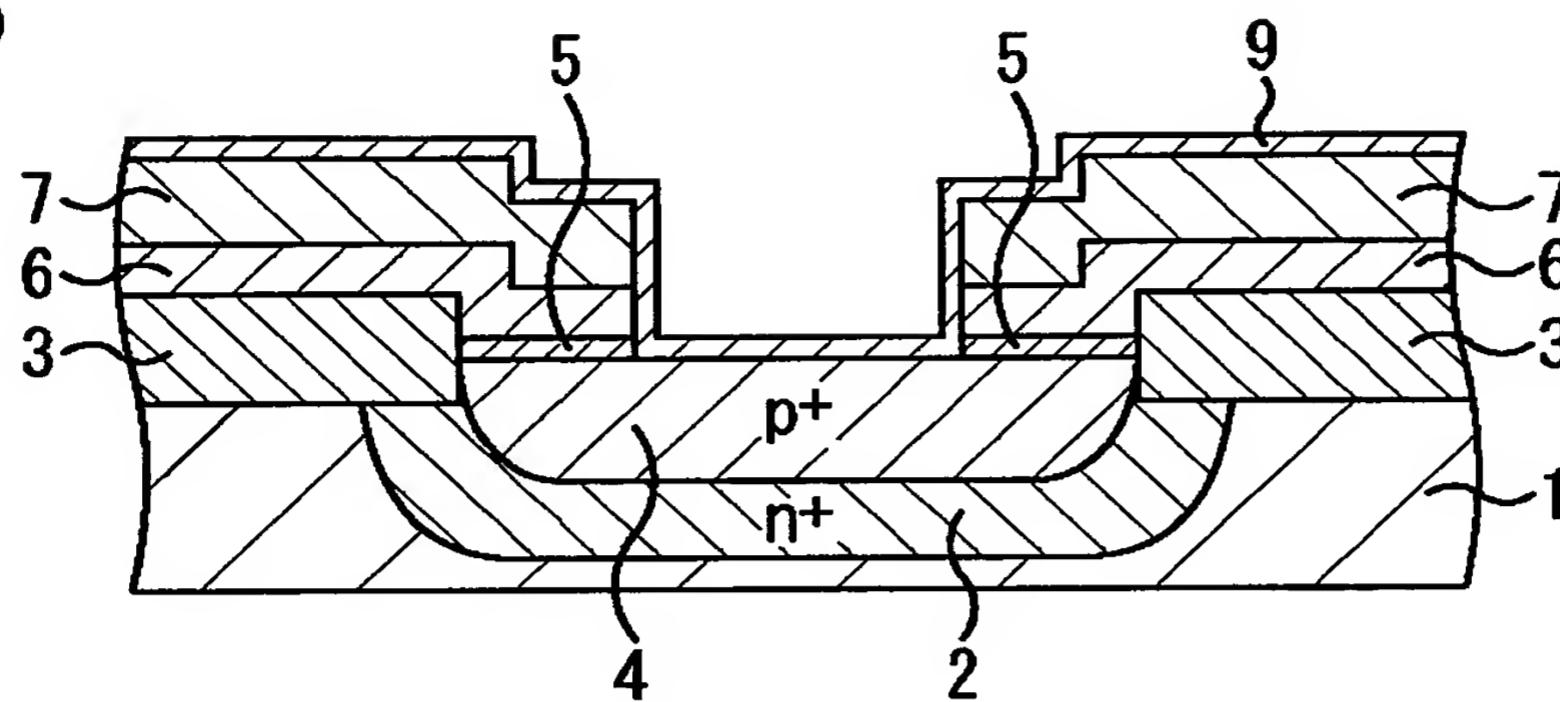


(c)

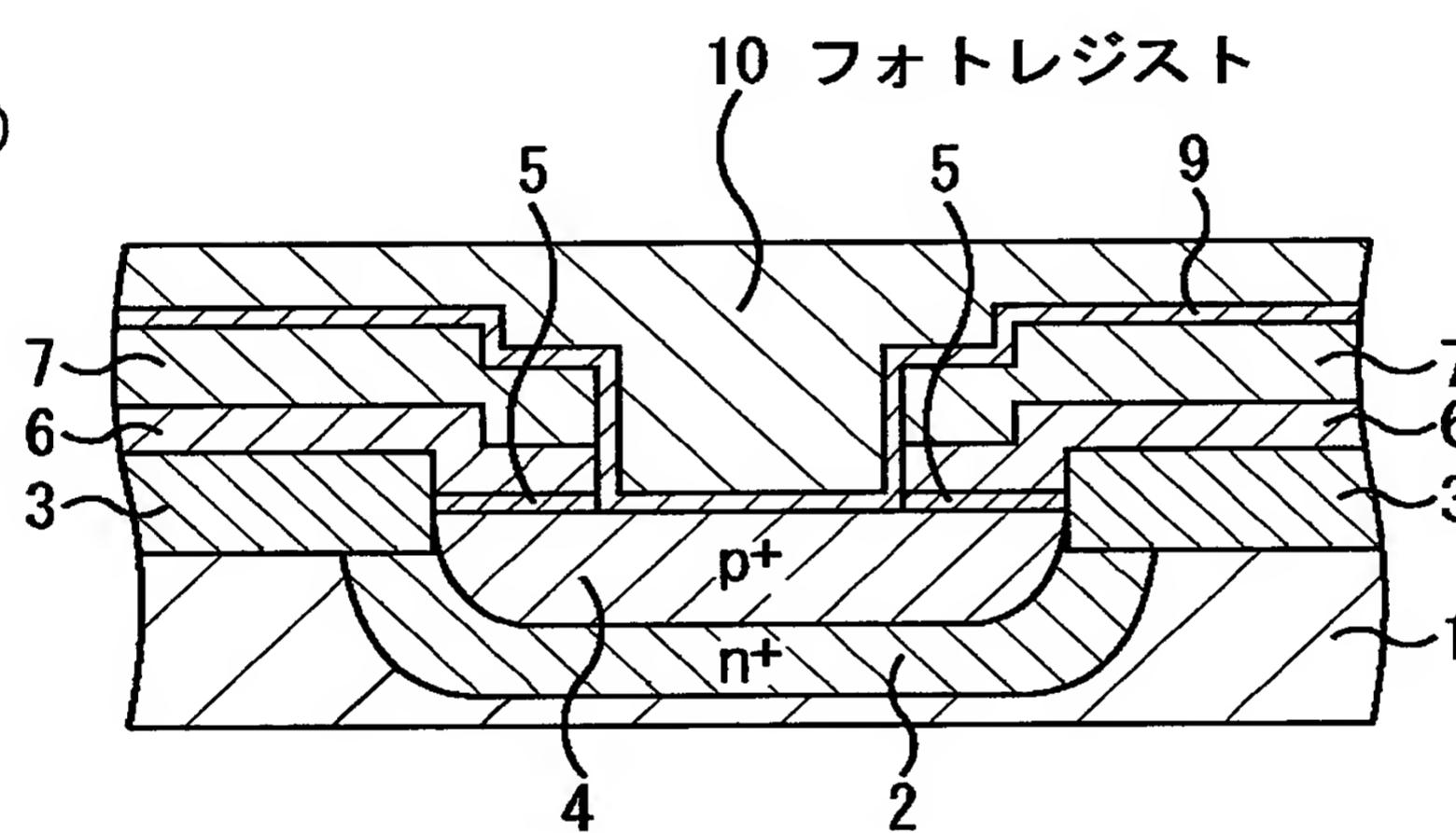


【図2】

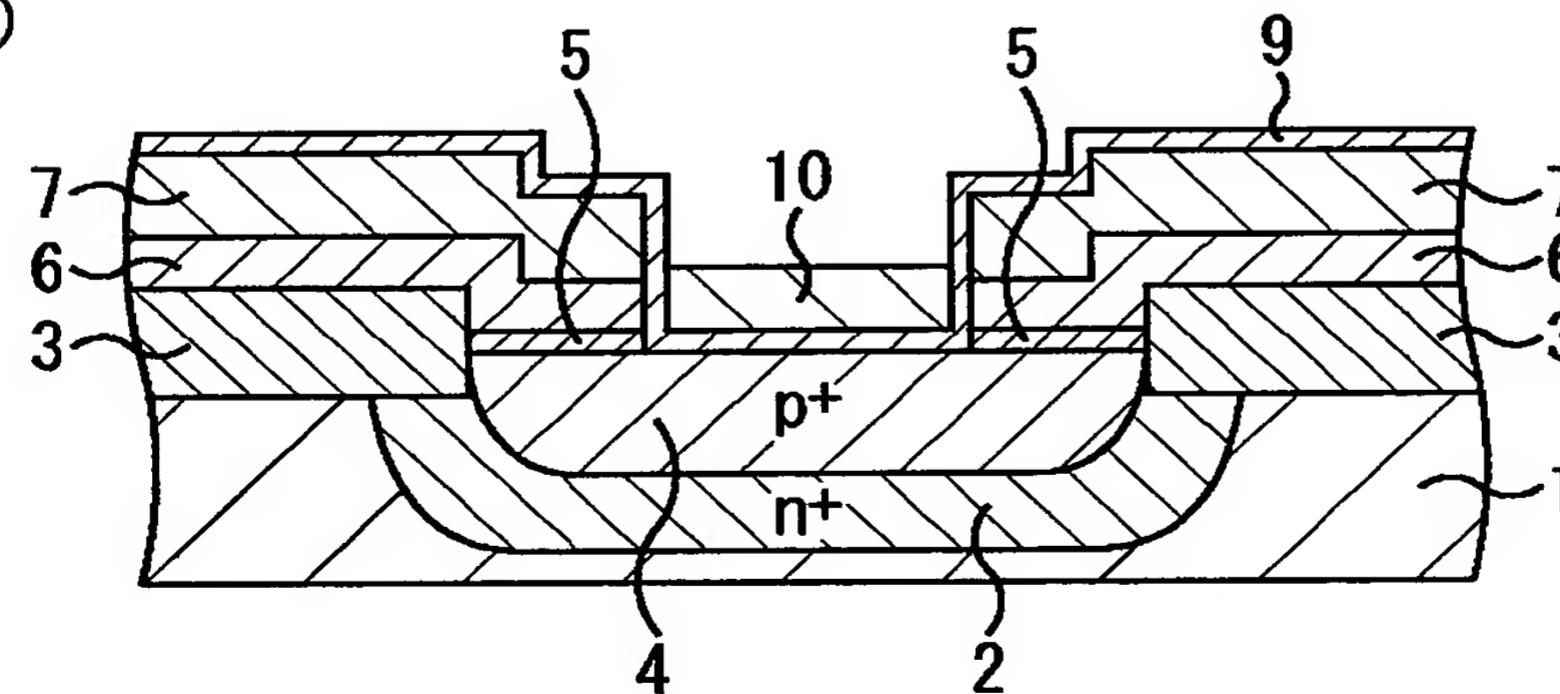
(a)



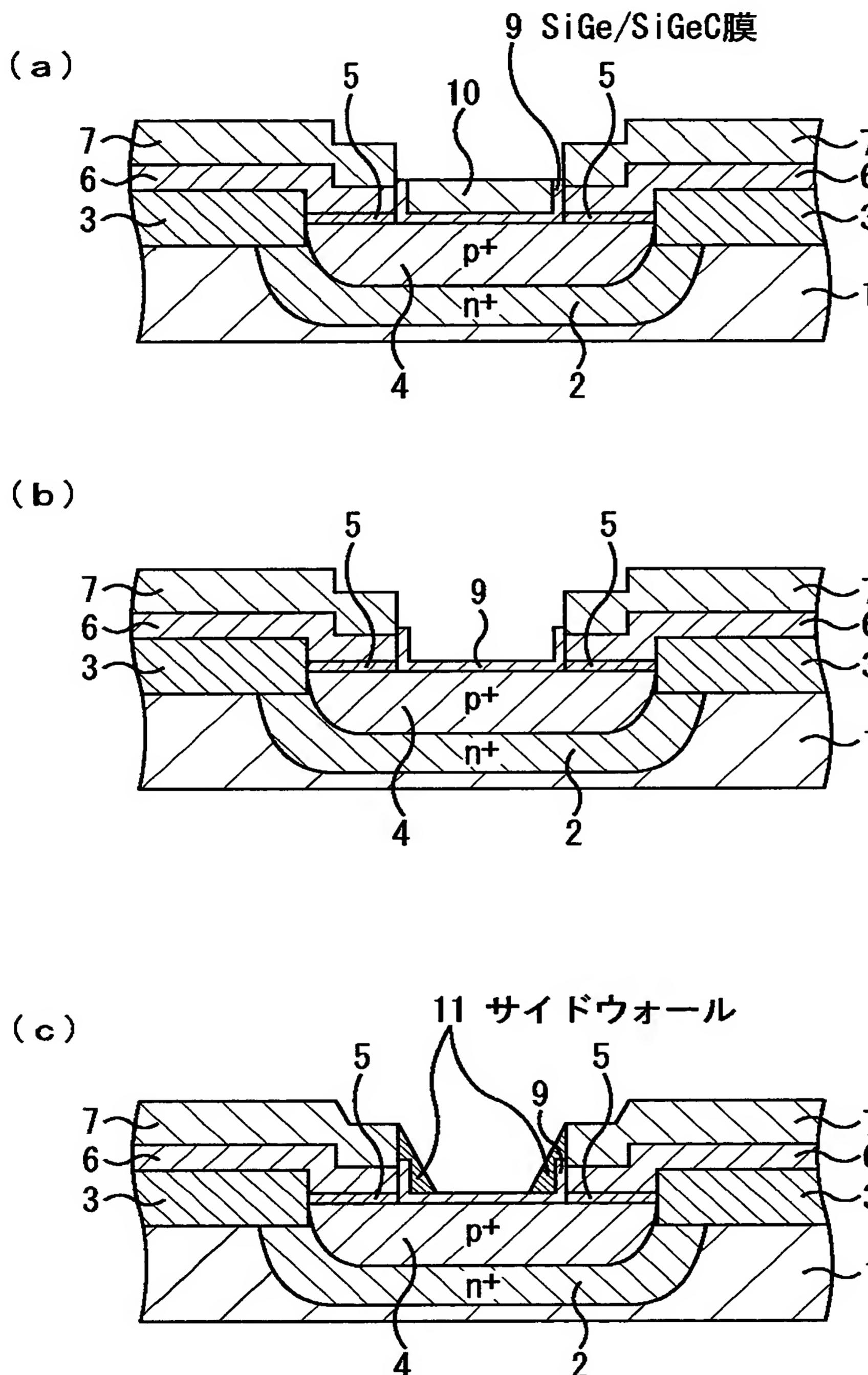
(b)



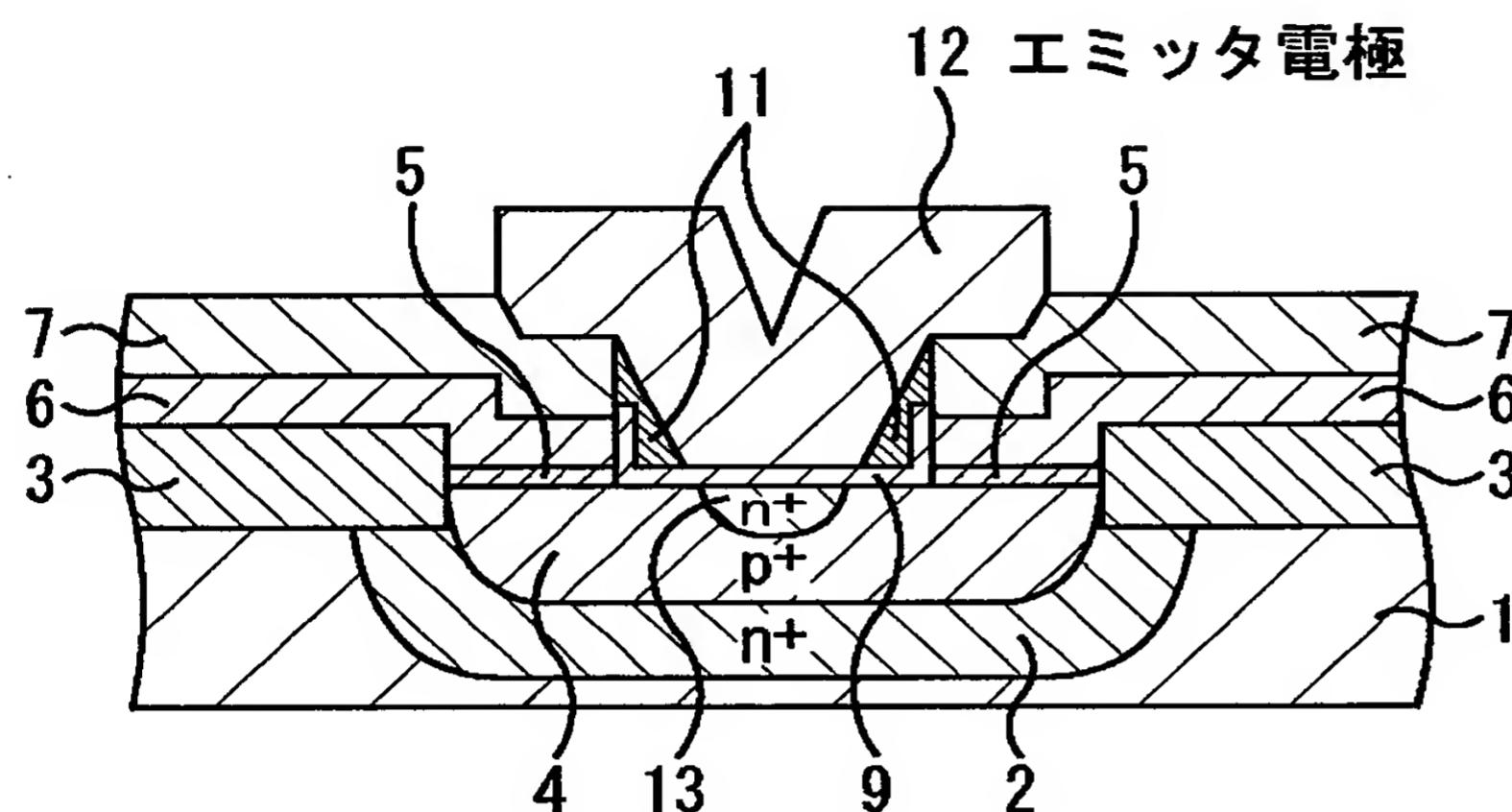
(c)



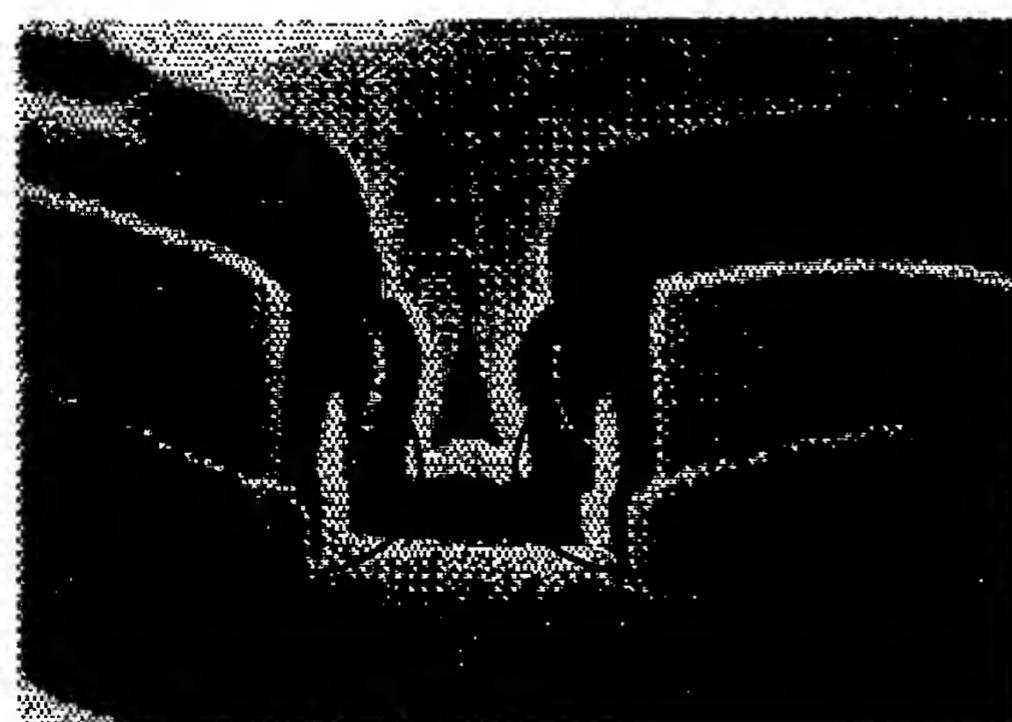
【図3】



【図4】

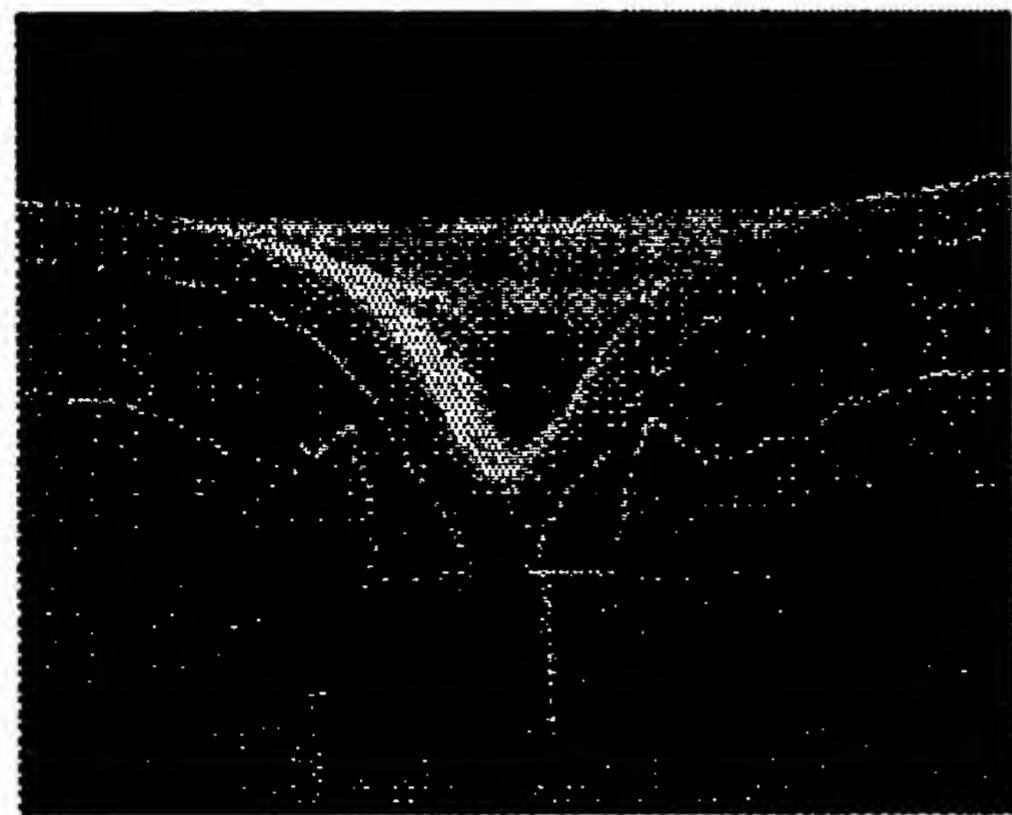


【図5】

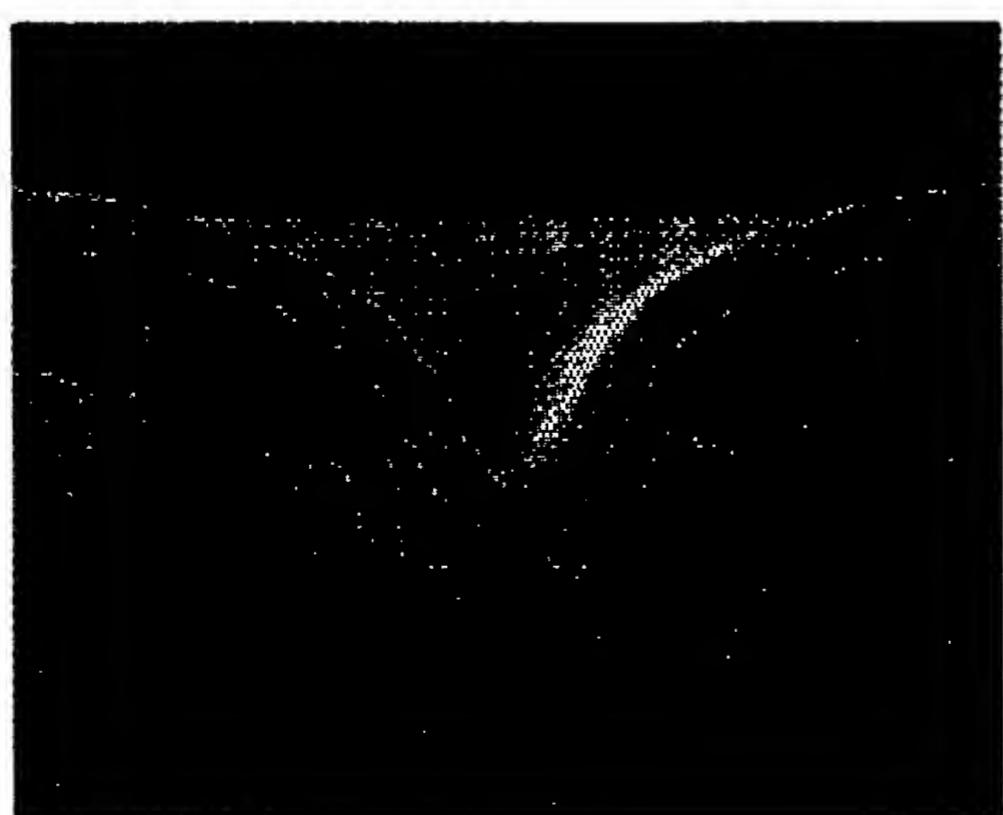


特2002-253265

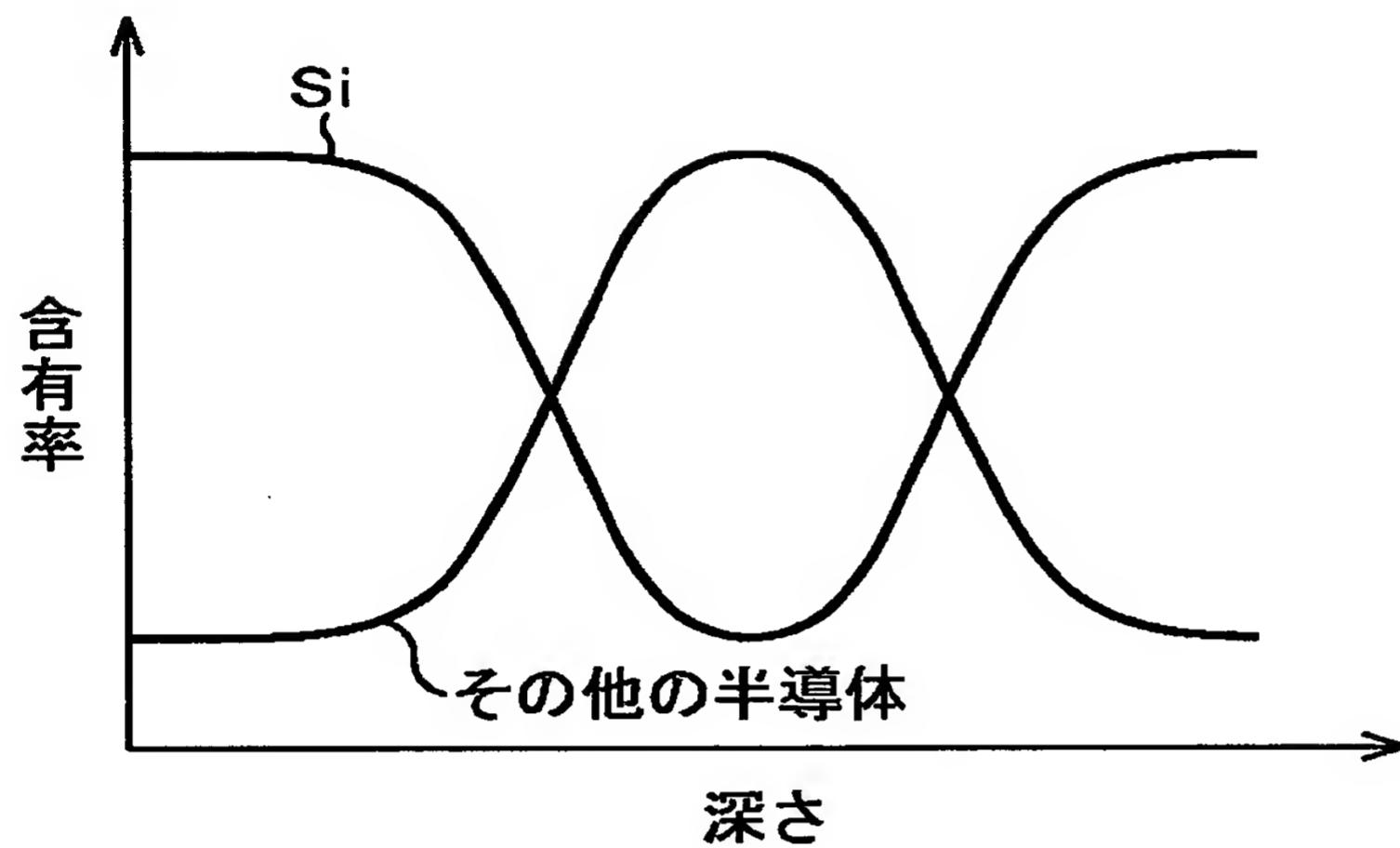
【図6】



【図7】



【図8】



【書類名】 要約書

【要約】

【課題】 エッティング工程後の複合半導体膜に空隙を生じさせず、所期の目的に

沿った特性の半導体装置を製造することを可能とする。

【解決手段】 半導体基板上に形成される多層膜上に、ベース及びエミッタ上で開口する開口部を前記多層膜に形成し、上層部位及び下層部位にSiの含有率が高く、中間層部位にGeの含有率が高い構造を有するSiGe/SiGeC膜9を全面に形成した後、前記開口部の所定の高さまで前記SiGe/SiGeC膜9を異方性ドライエッティングする。

【選択図】 図3

出願人履歴情報

■ 識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号
氏 名 富士通株式会社